

Simulasi Fabrikasi Simpangan Cetek Ultra Menggunakan Resapan Dopan daripada SOD (Spin On Dopant)

¹UDA HASHIM, ¹NIK HAZURA NIK HAMAT, ²FAUZIYAH SALEHUDDIN,
²IBRAHIM AHMAD DAN ¹SUTIKNO

¹Micro Fabrication Cleanroom, School of Microelectronic Engineering, Kolej Universiti
Kejuruteraan Utara Malaysia (KUKUM), 02000 Kuala Perlis, Perlis, MALAYSIA.
uda@kukum.edu.my

²Jabatan Elektrik, Elektronik dan Sistem, Fakulti Kejuruteraan, Universiti Kebangsaan
Malaysia, 43600 Bangi, Selangor, MALAYSIA.

Received : 14 January 2006 / Accepted : 22 November 2006
© Kolej Universiti Kejuruteraan Utara Malaysia 2006

ABSTRAK

Pembentukan simpangan cetek ultra merupakan suatu proses yang kritikal dalam fabrikasi peranti-peranti submikron bagi teknologi litar terkamil pada masa hadapan. Di dalam penulisan ini, simulasi proses bagi pembentukan simpangan cetek ultra telah dilaksanakan menggunakan perisian ATHENA dan ATLAS yang terdapat di dalam pakej perisian Silvaco TCAD Tools. Dengan kelebihan tiada resapan bertingkat fana dan pencemaran logam, resapan daripada SOD (Spin On Dopant) terdop tinggi merupakan suatu teknologi yang sesuai bagi pembentukan simpangan cetek ultra. Proses resapan dari SOD disimulasikan seperti model simulasi resapan dari sumber terdop oksida. Fabrikasi diod juga turut disimulasikan bagi menganalisis ciri-ciri elektrik bagi simpangan ini. Keputusan yang diperolehi dipaparkan dalam gambarajah dua dimensi. Keputusan daripada proses simulasi mendapati simpangan cetek P⁺N berprestasi tinggi dengan kedalaman simpang iaitu 40nm diperolehi menggunakan resapan tema pantas B150 ke dalam silikon serta mempunyai ciri-ciri diod yang baik dengan ketumpatan arus bocor yang rendah iaitu 0.5nA/cm². Simpangan cetek dengan kedalaman kurang daripada 20nm turut diperolehi tetapi kualiti diod terjejas akibat arus permukaan bocor yang tinggi.

Kata kunci: simpangan cetek ultra, T-SUPREM4, Spin On Dopant, resapan, ULSI

PENGENALAN

Usaha untuk mencapai simpangan cetek ultra, kaedah implantasi ion bertenaga rendah merupakan suatu kaedah yang menjadi pilihan. Implantasi ion telah digunakan secara meluas sebagai teknik memfabrikasikan MOSFET dengan pengawalan jitu ke atas simpang-simpang dan kepekatan dopan.

Namun begitu, kaedah ini turut mempunyai kekangan yang tersendiri di antaranya ialah kerosakan struktur kekisi hablur tunggal akibat tembakan ion dan kesan-kesan implantasi seperti penyaluran dan resapan yang mengakibatkan tusukan atom dopan yang besar. Akibat kemusnahan kekisi hablur semasa implantasi, keadaan ini menyebabkan kesan negatif kepada kedalaman simpang (Toan, N.N 1995).

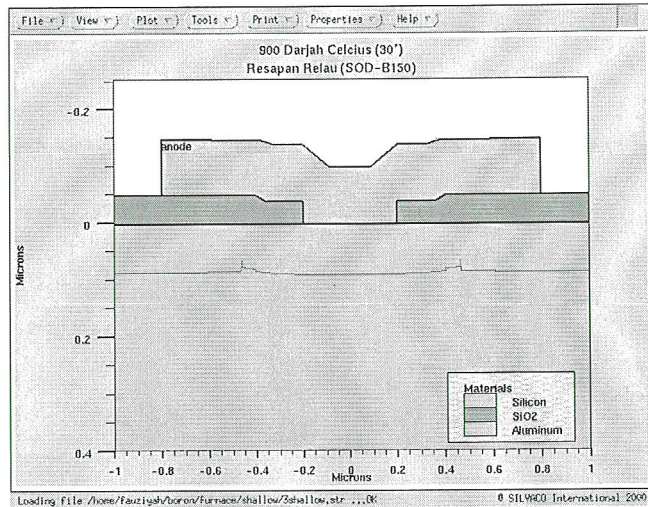
Usaha untuk mengatasi kekangan ini, atom-atom dopan digunakan secara terus ke atas permukaan silikon menggunakan SOG (Spin On Glass) dan seterusnya dipanaskan dalam jangka masa yang pendek tetapi pada suhu yang tinggi dengan menggunakan proses terma pantas. SOD (Spin On Dopant) terutama SOG yang mempunyai atom-atom dopan digabungkan dalam bentuk bahan kimia. Ianya dimendapkan secara terus ke atas substrat silikon dengan cara pemusingan, penyemburan atau celupan dan bahan tersebut bertindak sebagai punca tak terhingga dari atom-atom dopan semasa proses resapan terma pantas.

PROSEDUR PEMBENTUKAN SIMPANGAN CETEK MENGGUNAKAN SOD

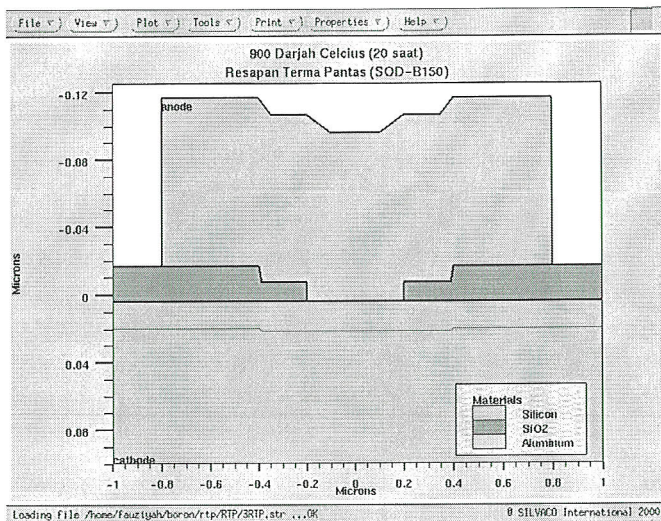
Proses fabrikasi simpang p-n dijalankan secara simulasi dengan menggunakan suatu perisian keluaran SILVACO Inc. yang boleh menjalankan proses fabrikasi melalui simulasi. Hasil keluaran perisian memberikan keputusan yang setara dengan hasil proses fabrikasi secara fizikal iaitu melalui kerja makmal. Perisian yang paling banyak digunakan ialah perisian simulasi proses iaitu ATHENA.

Bagi simulasi reka bentuk simpangan cetek untuk resapan boron, jenis lapisan SOD yang dimendapkan pada *wafer silikon* ialah B150 (terdop boron). SOD-B150 yang mengandungi boron sebagai bendasing akan dimendapkan pada *wafer* jenis n-Si untuk membentuk simpang P⁺N. Disebabkan ketiadaan model resapan SOD yang sesuai di dalam perisian SSUPREM-4, maka lapisan SOD disimulasikan dengan menggunakan model terdop oksida. Hanya resapan SOD jenis B150 ke dalam silikon dapat disimulasikan dengan baik kerana ia mempunyai profil SRP yang mencukupi di dalam pakej perisian ATHENA. *Wafer* yang telah disaluti dengan lapisan SOD akan dimasukkan ke dalam relau lazim dan relau terma pantas untuk menyerapkan lapisan SOD ke dalam silikon bagi membentuk simpangan p-n yang dikehendaki. Cara resapan ini dinamakan resapan relau (*furnace diffusion*) dan resapan terma pantas (*rapid thermal diffusion*).

Substrat yang digunakan adalah substrat silikon dengan keberintangan 80hmcm^{-2} dan orientasi 100. Luas saiz tettingkap bagi diod yang digunakan ialah antara $0.8 \times 0.8\mu\text{m}^2$ hingga $0.1 \times 0.1\mu\text{m}^2$. Rajah 1 dan Rajah 2 menunjukkan struktur simpangan cetek P⁺N secara resapan relau-relau dan terma pantas secara simulasi.



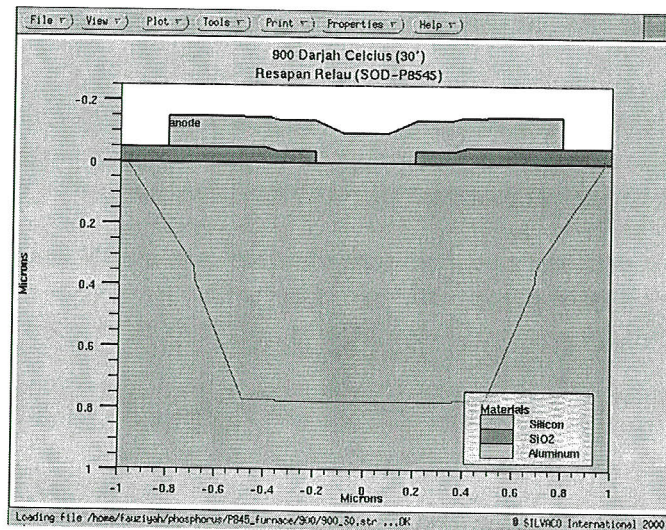
Rajah 1. Struktur simpangan cetek P+N dengan kaedah resapan relau pada suhu 900°C selama 30 minit.



Rajah 2. Struktur simpangan cetek P+N dengan kaedah resapan terma pantas pada suhu 900°C selama 20 saat.

Bagi simulasi reka bentuk simpangan cetek resapan fosforus pula, jenis SOD yang digunakan ialah P8545 (terdop fosforus). SOD-P8545 diresapkan pada *wafer* jenis p-Si untuk membentuk simpang N⁺P. Resapan SOD jenis P8545 ke dalam silikon tidak dapat disimulasikan dengan baik kerana pakej perisian ATHENA hanya mempunyai profil

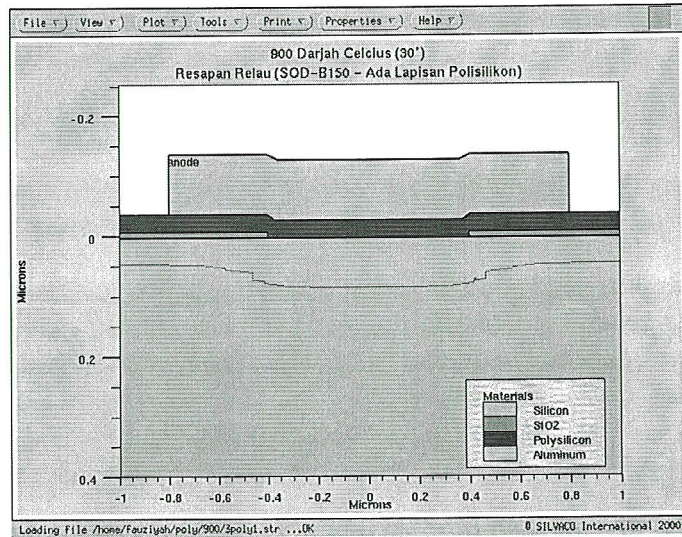
SRP yang mencukupi bagi SOD-B150 sahaja (Toan, N.N 1995). Rajah 3 menunjukkan struktur simpangan N⁺P pada suhu 900°C selama 30 minit dalam resapan relau.



Rajah 3. Struktur simpangan N⁺P.

Disebabkan tiada model resapan SOD-P854S yang sesuai dalam perisian SSUPREM-4, maka lapisan SOD-P854S disimulasikan dengan menggunakan model oksida yang didopkan seperti SOD-B150. Bezanya, bendasing yang dimendapatkan bersama lapisan oksida ialah fosforus dengan kepekatan 8.0×10^{21} ions/cm³.

Seperti yang telah dimaklumkan, resapan dari SOD ke dalam silikon boleh membentuk simpangan cetek ultra. Namun begitu, nilai rintangan helai menjadi semakin tinggi dan arus bocor meningkat apabila simpangan semakin cetek dan saiz tettingkap semakin kecil. Bagi mengatasi masalah ini, pembentukan simpang bagi struktur diod melalui resapan daripada lapisan polisilikon yang didopkan dengan cara resapan daripada SOD dikaji. Pembinaan struktur ini mempunyai kelebihan iaitu rintangan siri yang rendah. Rajah 4, menunjukkan struktur simpangan cetek P⁺N yang mempunyai lapisan polisilikon di atasnya.



Rajah 4. Struktur simpangan cetek P-N yang mempunyai lapisan polisilikon di atasnya.

Simulasi bagi reka bentuk simpangan cetek P+N menggunakan lapisan polisilikon sama seperti proses simulasi bagi reka bentuk simpangan cetek P+N di dalam relau lazim bagi resapan boron. Ia menggunakan jenis substrat dan orientasi yang sama. Bezanya, terdapat penambahan langkah iaitu proses pemendapan lapisan polisilikon sebelum lapisan SOD-B150 dimendapkan.

KEPUTUSAN DAN PERBINCANGAN

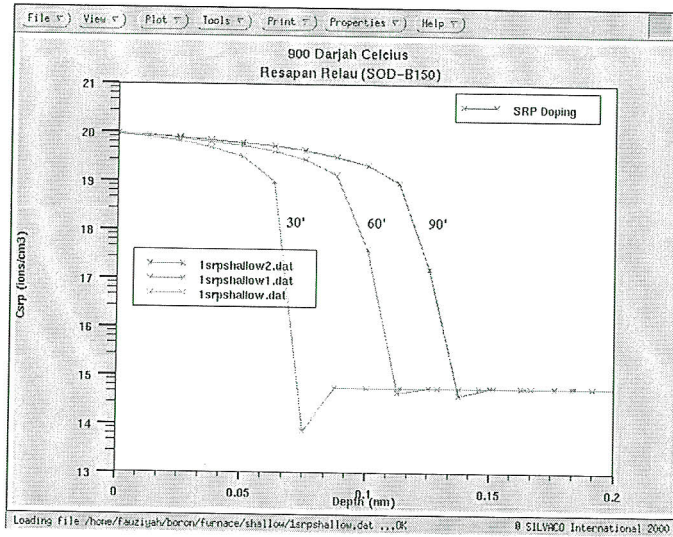
Terdapat dua hasil simulasi yang diperoleh iaitu resapan boron dan resapan fosforus. Setiap hasil simulasi dilakukan dengan menggunakan dua kaedah resapan iaitu resapan relau dan resapan terma pantas. Kedua-dua kaedah ini memberikan nilai rintangan helaian (R_s) dan kedalaman simpang (X_j) yang diperoleh. Keputusan ini juga memberikan hasil kesan ketumpatan arus bocor terhadap saiz tetingkap aktif bagi diod simpangan P+N yang difabrikasi secara resapan terma pantas.

Resapan Boron

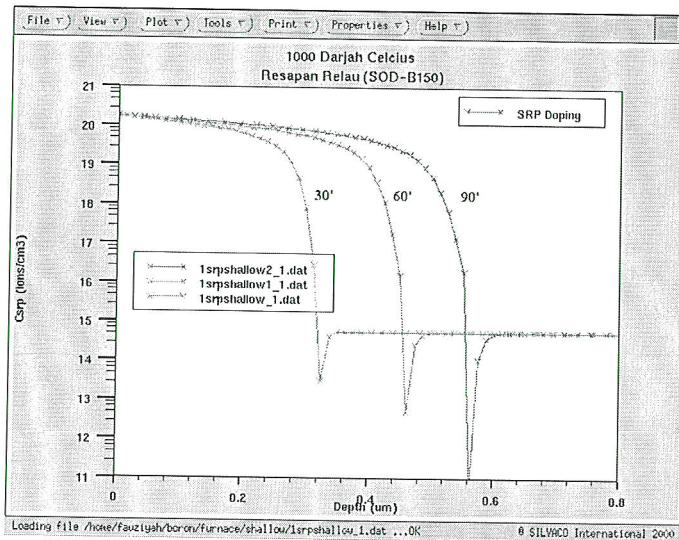
Resapan Relau

Rajah 5 menunjukkan profil SRP bagi setiap sampel Silikon yang didopkan dengan B150 pada suhu 900°C, 1000°C dan 1100°C dalam nitrogen ambien secara simulasi menggunakan perisian ATHENA keluaran SILVACO Inc. Setiap sampel mempunyai dua ukuran profil SRP iaitu kedalaman simpang dan kepekatan dopan. Kedalaman simpang (X_j) yang paling cetek dapat dihasilkan dalam resapan relau secara simulasi

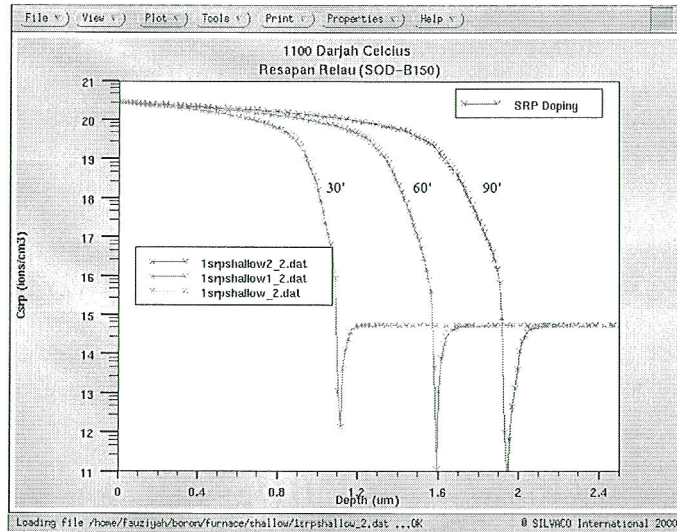
ialah 85nm. Ia didapati daripada sampel yang diresapkan pada suhu 900°C selama 30 minit di dalam nitrogen.



(a) Simulasi SRP – B150, 900°C, N₂.



(b) Simulasi SRP – B150, 1000°C, N₂.



(c) Simulasi SRP – B150, 1100°C, N₂.

Rajah 5. Simulasi profil SRP bagi sampel yang diresapkan dengan B150.

Semua keputusan bagi simulasi ini boleh dilihat dengan jelas dalam Jadual 1. Jadual ini menunjukkan nilai R_s dan X_j bagi setiap sampel yang didapati dari profil SRP yang diukur dan juga secara simulasi (Sim).

Jadual 1 Rintangan helaian (R_s) dan kedalaman simpang (X_j) melawan suhu resapan dan masa.

t (minit)	900°C				1000°C				1100°C			
	R_s (Ω/cm^2)		X_j (μm)		R_s (Ω/cm^2)		X_j (μm)		R_s (Ω/cm^2)		X_j (μm)	
30	4pp	Sim	SRP	Sim	4pp	Sim	SRP	Sim	4pp	Sim	SRP	Sim
	359.5	346.9	0.08	0.08	46.3	43.9	0.25	0.35	11.9	8.15	1.2	1.16
60	200.3	235.3	0.14	0.12	38.7	30.5	0.34	0.50	8.5	5.8	1.48	1.64
90	150.7	188.5	0.16	0.15	34.1	24.7	0.41	0.61	5.0	4.6	1.80	2.01

Setelah menukar beberapa nilai kemeresapan boron dalam lapisan SOD dan substrat silikon, maka profil terbaik yang dapat dicapai adalah profil resapan pada suhu 900°C dan 1100°C yang mana perbezaan profil secara pengukuran dan juga simulasi tidaklah terlalu besar. Pada suhu 1000°C pula, nilai profil yang diperoleh secara simulasi adalah lebih dalam jika dibandingkan dengan profil pengukuran.

Di dalam proses simulasi ini, kemeresapan bagi boron dalam SOD mempunyai nilai prafaktor (pre-factor) $1.00\text{cm}^2/\text{s}$ dan tenaga pengaktifan 3.00eV . Kemeresapan bagi boron dalam SOD adalah lebih tinggi jika dibandingkan dengan kemeresapan lalai (default diffusivity) bagi boron dalam oksida iaitu dengan prafaktor sebanyak $3.16 \times 10^{-4}\text{cm}^2/\text{s}$ dan tenaga pengaktifan 3.53eV .

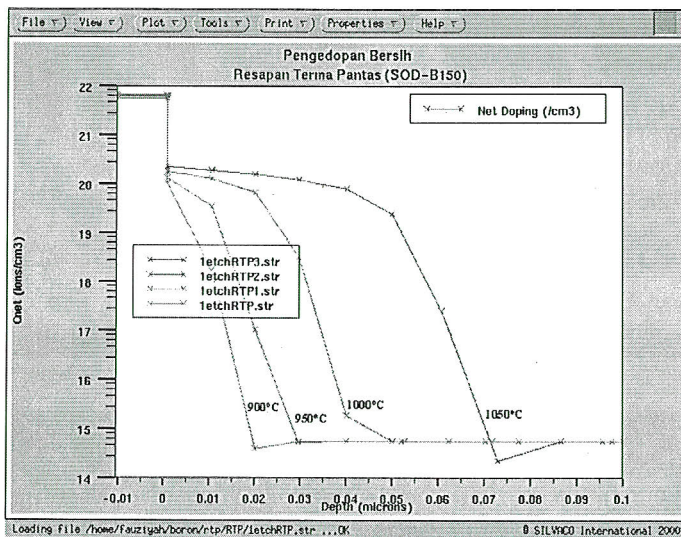
Jika dilihat daripada jadual dan juga graf profil SRP, didapati suhu resapan yang lebih tinggi bagi kala masa resapan yang sama boleh menyebabkan kedalaman bertambah. Ini kerana apabila suhu dinaikkan, atom-atom bendasing mempunyai lebih tenaga, dan keadaan ini akan menyebabkan kelajuan resapan bertambah (Burhanuddin 2000). Di dalam proses resapan boron, SOD-B150 telah digunakan sebagai punca resapan untuk merealisasikan diod dalam relau lazim secara simulasi. Namun begitu, kedalaman simpang yang dicapai masih tidak memenuhi objektif iaitu 50nm ke bawah. Bagi mengatasi masalah ini, Resapan Terma Pantas (RTD) bagi lapisan SOD-B150 secara simulasi telah dijalankan. Teknik resapan ini boleh membentuk lebih banyak simpangan-simpangan cetek.

Resapan Terma Pantas

Proses simulasi bagi resapan jenis ini telah dijalankan dengan menggunakan nilai kemeresapan boron dalam lapisan SOD yang sama seperti resapan relau iaitu DIX.O = $1.00\text{cm}^2/\text{s}$ dan DIX.E = 3.00eV . Ini adalah kerana sampel ini tidak mempunyai sebarang profil ukuran. Kesemua parameter-parameter yang lain diletakkan dalam keadaan nilai lalai (*default value*). Nilai rintangan helaian yang telah diekstrak dibandingkan dengan nilai rintangan yang diukur seperti yang ditunjukkan dalam Jadual 2.

Jadual 2 Parameter bagi diod yang difabrikasikan dengan menggunakan B150 RTD.

TC ° (C)	900°C	950°C	1000°C	1050°C
Rs (Ω/cm^2)	>>	3900	500	250
Simulasi Rs (Ω/cm^2)	6080.5	2134.6	654.5	237.2
Xj (nm)	13	28	56	105
Simulasi Xj (nm)	18	25	41	71
Luas tingkap Diod (nm^2)	$J_R(2.5V)$ (nA / cm^2)	$J_R(2.5V)$ (nA / cm^2)	$J_R(2.5V)$ (nA / cm^2)	$J_R(2.5V)$ (nA / cm^2)
100x100	2.240	1.273	0.581	0.356
200x200	2.214	1.197	0.558	0.349
400x400	2.178	1.083	0.553	0.327
800x800	2.178	1.083	0.546	0.298



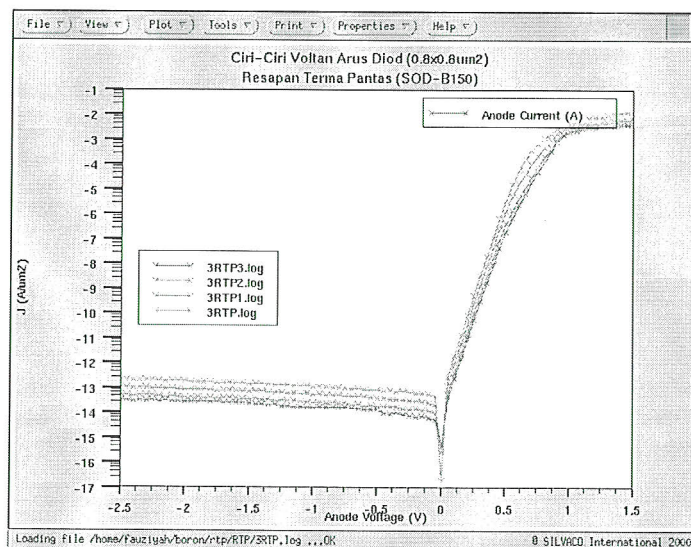
Rajah 6. Profil pengedapan bersih bagi B150 pada sampel silikon RTD secara simulasi.

Nilai rintangan helai yang diperoleh secara simulasi juga hampir sama seperti nilai rintangan helai secara pengukuran. Merujuk kepada profil simulasi, simpanan cetek

yang diperoleh ialah lebih kurang 18nm, 25nm, 41nm dan 71nm melalui resapan sampel pada suhu RTP iaitu 900°C, 950°C, 1000°C dan 1050°C. Rajah 6 menunjukkan profil pengedapan bersih bagi sampel RTD B150 yang disimulasikan dalam masa 20 saat bagi setiap suhu dalam nitrogen ambien.

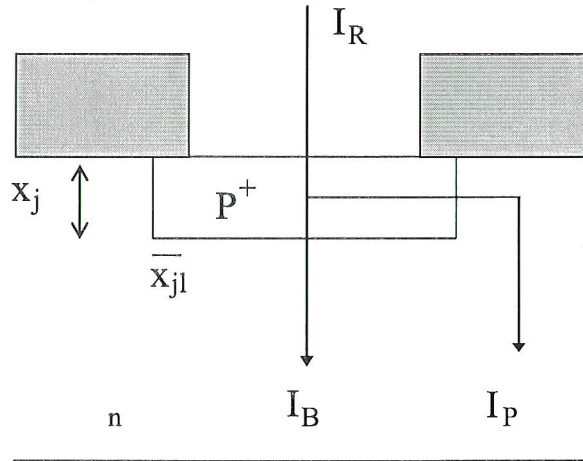
Dalam Jadual 2, ada dinyatakan tentang parameter penting bagi diod iaitu ketumpatan arus bocor (J_R) pada keluasan saiz tetingkap diod yang berbeza. Ketumpatan arus bocor bagi diod merupakan parameter penting bagi menentukan kualiti sesuatu diod. Dalam Rajah 7, perbezaan antara ciri-ciri voltan arus diod bagi setiap sampel yang berlainan suhu resapan ditunjukkan dalam bentuk graf.

Seperti yang dilihat dalam Jadual 2, diod yang difabrikasikan pada suhu 1000°C dan 1050°C dengan kedalaman simpang lebih kurang 41nm dan 71nm menunjukkan ketumpatan arus bocor yang rendah iaitu 0.5nA/cm² dan 0.3nA/cm². Sebaliknya ketumpatan arus bocor semakin meningkat bagi diod yang difabrikasikan pada suhu resapan yang rendah. Daripada jadual tersebut, boleh dilihat bahawa ketumpatan arus semakin kecil apabila kedalaman simpang semakin dalam. Ketumpatan arus juga semakin menurun apabila luas tetingkap diod semakin kecil. Ini disebabkan sumbangan pukal dan persisian yang berlainan antara luas yang berbeza.



Rajah 7. Ciri-ciri voltan arus bagi diod simpangan.

Ketumpatan arus yang ditunjukkan dalam jadual telah dibuat berdasarkan pengiraan mudah dengan mengambil nisbah antara arus bocor dengan luas kawasan aktif diod. Jumlah arus bocor, I_R ialah ketumpatan arus bocor pukal, I_B yang disumbangkan daripada kawasan diod pukal dan ketumpatan arus bocor persisian, I_p seperti yang digambarkan dalam Rajah 8 dan persamaan (1) di bawah:



Rajah 8. Ketumpatan arus bocor diod berfungsi sebagai nisbah L/A .

$$I_R = (I_p L) + (I_B A) \text{ atau}$$

$$J_R = I_R/A = (I_p \cdot L/A) + I_B \quad (1)$$

L ialah persisian diod dan A ialah luas kawasan aktif diod.

Daripada pemasangan, ketumpatan arus bocor pukal, I_B yang diperolehi adalah lebih kurang $2nA/cm^2$ ke bawah bagi semua sampel. Ketumpatan arus bocor persisian, I_P akan berkurang apabila simpangan diod semakin dalam pada suhu resapan yang tinggi. Ini adalah kerana kedalaman simpangan sisi, X_{j1} biasanya adalah $2/3$ daripada kedalaman simpangan menegak, X_j seperti yang digambarkan dalam Rajah 8.

Apabila simpangan menjadi semakin cetek, simpangan tercetek sisi akan menghasilkan arus bocor persisian yang tinggi. Pada masa yang sama, sifat antaramuka oksida-silikon juga menjadi penting dan ia mungkin meningkatkan arus bocor persisian. Sentuhan logam juga menjadi sangat penting apabila simpangan menjadi terlalu cetek. Antara muka logam-silikon juga boleh menyebabkan arus bocor meningkat jika lapisan susutan terlalu rapat pada kawasan yang simpangannya terlalu cetek.

Secara ringkasnya, simpangan berprestasi tinggi telah diperolehi menggunakan resapan terma pantas daripada punca resapan SOD-B150 ke dalam silikon. Kesemua simpangan-simpangan yang mempunyai kedalaman lebih daripada $20nm$ mempunyai ketumpatan arus bocor pukal yang kecil iaitu kurang daripada $1nA/cm^2$.

Resapan Fosforus

Nilai kemeresapan yang digunakan dalam perisian ATHENA adalah nilai lalai (*default value*) bagi simulasi resapan yang dijalankan. Nilai kemeresapan fosforus dalam SOD adalah lebih rendah jika dibandingkan dengan nilai kemeresapan boron dalam SOD. Malah prafaktor (DIP.O) dan tenaga pengaktifan (DIP.E) bagi kemeresapan boron dalam silikon juga adalah tinggi. Ini memberi kesan kepada profil resapan seperti kedalaman simpangan dan rintangan helai.

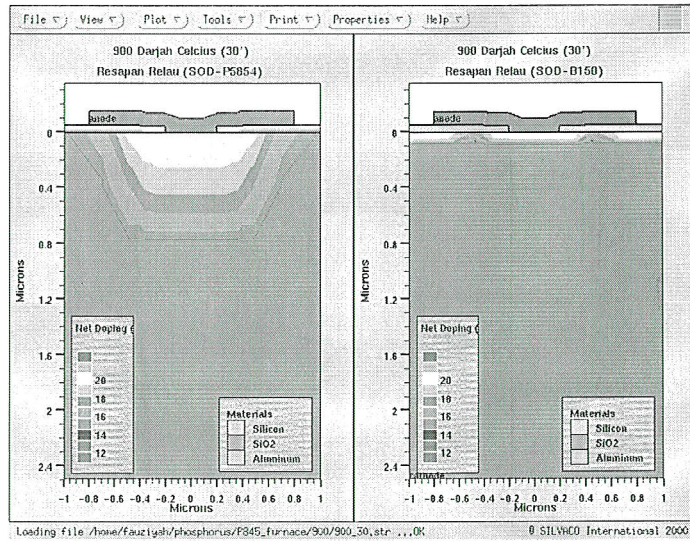
Resapan Relau

Jadual 3 Rintangan helai (R_s) dan kedalaman simpang (X_j) melawan suhu dan masa resapan.

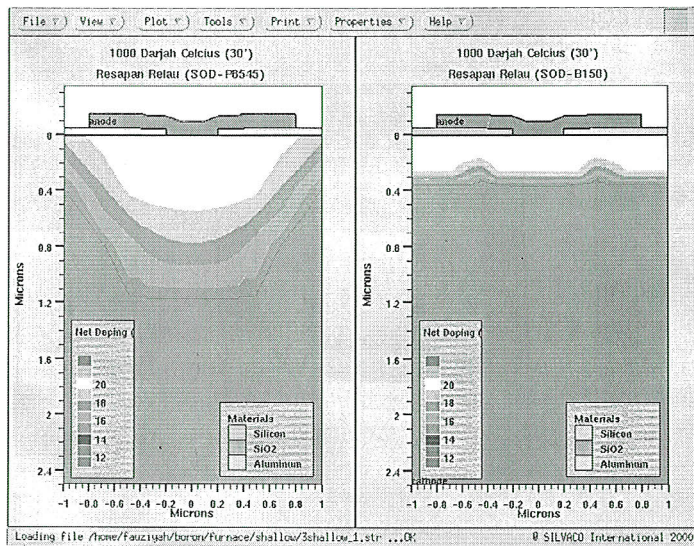
t (minit)	900°C				1000°C				1100°C			
	R_s (Ω/cm^2)		X_j (μm)		R_s (Ω/cm^2)		X_j (μm)		R_s (Ω/cm^2)		X_j (μm)	
	4pp	Sim	SRP	Sim	4pp	Sim	SRP	Sim	4pp	Sim	SRP	Sim
	242.7	202.0	0.60	0.61	13.78	10.25	0.76	0.92	8.38	8.19	1.06	1.45
30	70.55	90.66	0.78	0.67	10.63	7.24	1.12	1.08	4.93	9.10	1.28	1.72
60	23.45	35.94	1.17	0.75	8.39	7.56	1.55	1.23	5.30	9.82	2.04	2.12
120	15.58	14.51	1.55	0.85	8.99	8.21	2.10	1.42	5.21	9.64	2.85	2.71
240	11.97	7.58	2.08	1.00	9.17	9.10	2.44	1.65	3.98	7.93	3.48	3.57

Keputusan bagi nilai-nilai rintangan helai dan kedalaman simpang bagi sampel silikon yang dimendapkan dengan lapisan SOD-P8454 dan diresapkan pada suhu dan masa yang ditetapkan dapat dilihat di dalam Jadual 3. Hanya resapan boron dari SOD-B150 ke dalam silikon dapat disimulasikan dengan baik kerana ia mempunyai profil SRP yang mencukupi bagi semua sampel. Oleh itu, terdapat perbezaan antara profil yang diperoleh secara pengukuran dan yang didapati secara simulasi bagi resapan fosforus yang menggunakan SOD-P8545 sebagai punca resapan.

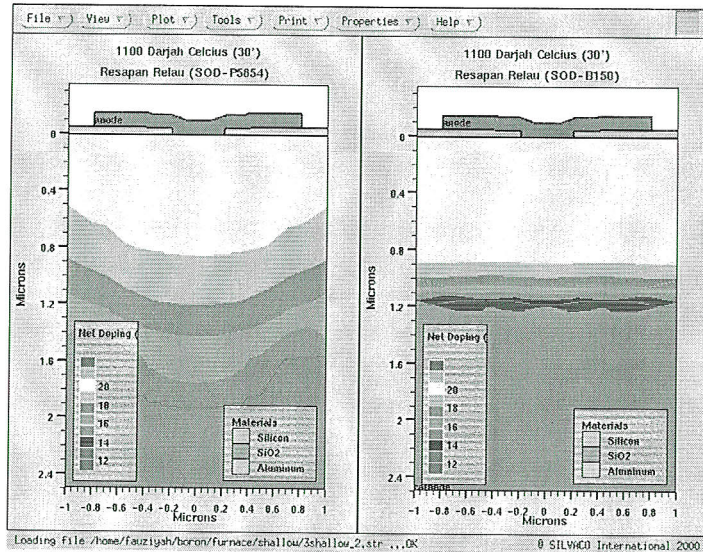
Rajah 9(a) hingga Rajah 9(c) menunjukkan perbezaan struktur dari segi kedalaman simpang di antara punca resapan SOD-B150 dan SOD-P8545.



(a) $T = 900^{\circ}\text{C}$.



(b) $T = 1000^{\circ}\text{C}$.



(c) $T = 1100^{\circ}\text{C}$.

Rajah 9. Pembentukan simpangan pada suhu-suhu 900°C , 1000°C dan 1100°C selama 30 minit.

Resapan Boron Ke Dalam Polisilikon/Si

Lapisan polisilikon dimendapkan ke atas permukaan substrat silikon dan seterusnya lapisan SOD dimendapkan pula ke atasnya. Pada suhu tinggi, atom-atom dopan akan diserap ke dalam lapisan ini dan seterusnya ke dalam lapisan silikon untuk membentuk simpang p-n. Pembinaan struktur ini mempunyai kelebihan yang tersendiri iaitu rintangan siri yang rendah dan sentuhan logam diod dibawa jauh daripada semikonduktor simpang p-n. Oleh itu, kualiti diod boleh ditingkatkan.

Resapan Relau

Resapan boron ke dalam polisilikon pada struktur silikon adalah dengan menggunakan penyepuhlindungan relau pada suhu yang berbeza iaitu suhu dari 800°C – 1000°C . Jadual 4, menunjukkan rintangan helai serta kedalaman simpang yang didapati hasil daripada proses fabrikasi diod penimbal-poli (*poly-buffered diode*) yang dijalankan secara simulasi.

Jadual 4 Rintangan helai (R_s) serta kedalaman simpang (X_j) bagi diod penimbal-poli.

TC ° (C)	850°C	900°C	950°C	1000°C
Pengukuran R_s (Ω/cm^2) (poli/Si)	200	44	31	18
Simulasi R_s (Ω/cm^2) (poli/Si)	190	67	31	17
Simulasi X_j (nm) Tanpa lapisan (polisilikon)	0.041	0.085	0.179	0.352
Simulasi X_j (nm) Ada lapisan (polisilikon)	0.035	0.078	0.171	0.341

Jika dilihat daripada jadual di atas, nilai rintangan helai yang diperoleh secara pengukuran adalah sedikit berbeza jika dibandingkan dengan nilai rintangan helai yang didapati secara simulasi. Ini disebabkan tiada model yang sesuai bagi resapan boron dalam polisilikon. Model lalai (*default model*) telah digunakan dalam simulasi ini. Walau bagaimanapun, keputusan yang diperoleh membuktikan bahawa rintangan bagi lapisan polisilikon adalah kecil. Malah kedalaman simpang yang didapati hasil dari simulasi adalah lebih cetek sedikit jika menggunakan lapisan polisilikon.

KESIMPULAN

Simpangan-simpangan p-n dengan kedalaman kurang daripada 50nm telah dapat dihasilkan dengan menggunakan kaedah resapan terma pantas ini. Namun begitu, simpangan-simpangan cetek mempunyai ciri-ciri rintangan helai yang tinggi. Ketumpatan arus bocor juga semakin besar apabila simpangan menjadi terlalu cetek dan saiz kawasan aktif diod terlalu kecil. Bagi teknologi fabrikasi ULSI pada masa hadapan, simpangan-simpangan yang cetek dengan ciri-ciri rintangan yang rendah diperlukan. Resapan daripada lapisan polisilikon boleh menyelesaikan masalah ini. Pembentukan simpangan menggunakan teknik resapan daripada polisilikon yang didopkan dengan resapan daripada sumber SOD boleh menghasilkan simpangan yang sangat cetek dan berkerintangan rendah.

RUJUKAN

1. (SIA), S. I. A. (1997). The National Technology Roadmap for Semiconductor.
2. Chiang, C. (1989). *Understanding of Spin-On-Glass properties from their molecular Structure*. Paper presented at the VMIC Conference IEEE.
3. Darus, Z. M. (1993). *Pengenalan Elektronik keadaan Pepejal*. Malaysia: Longman Malaysia Sdn. Bhd.
4. Gopalan, C., Kozeiki M. Fabrication of Ultra-Shallow S/D junctions for nanoscale MOSFETs using Spin-on-Diffusants (SOD) and Rapid Thermal Diffusion(RTD). Retrieved 18 Mei 2003, from <http://www.eas.asu.edu/>.
5. Gupta, K. Spin on Glass for dieelectric planarization: Allied-Signal Inc.
6. Liu, R., J.J., Sung, C.S., Pai, N.S. and Tsai. (1995). The effects of rapid thermal processing on ultra-shallow junctions for deep sub-micron MOSFET"s. *Solid State Electronics*, 38(8), 1473.
7. Majlis, B. Y. (2000). *Teknologi Fabrikasi Litar Bersepadu*. Malaysia: Penerbit UKM Bangi.
8. Othman, M. (2002). *Teknologi Peranti Mikroelektrik*. Bangi: Penerbit Universiti Kebangsaan Malaysia.
9. Sze, S. M. (2002). *Semiconductor Device Physics and Technology (2 ed.)*. United States of America: John Wiley and sons. Inc.
10. Toan, N. N., Chien, N.D., Son, V.T., Giang, N.T., Holleman, J. and Woerlee, P.H. (1995). *Spin-On Glass (SOG) materials and applications*. Paper presented at the 2nd International Workshop on Materials Science.
11. Tyagi, M. S. (1991). *Introduction to semiconductor materials and devices*. United States of America: John Wiley and sons. Inc.
12. Ventura, L. (1994). *Shallow-junction formation by rapid thermal diffusion into silicon from doped spin-on glass films*. Materials Research Society symposia proceedings, 342-345.